

(11)特許出願公開番号

特開2002-246596

(P2002-246596A)

(43)公開日 平成14年8月30日(2002.8.30)

(51)Int.Cl.'	識別記号	F I	データベース*(参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A 5 F 0 4 8
	6 5 2		6 5 2 M
			6 5 2 K
			6 5 2 P
			6 5 2 T

審査請求 未請求 請求項の数21 OL (全 13 頁) 最終頁に続く

(21)出願番号 特願2001-42352(P2001-42352)

(22)出願日 平成13年2月19日(2001.2.19)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527  
日立東部セミコンダクタ株式会社  
群馬県高崎市西横手町1番地1

(72)発明者 稲川 浩巳  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(74)代理人 100083552  
弁理士 秋田 収喜

**最終頁に続く**

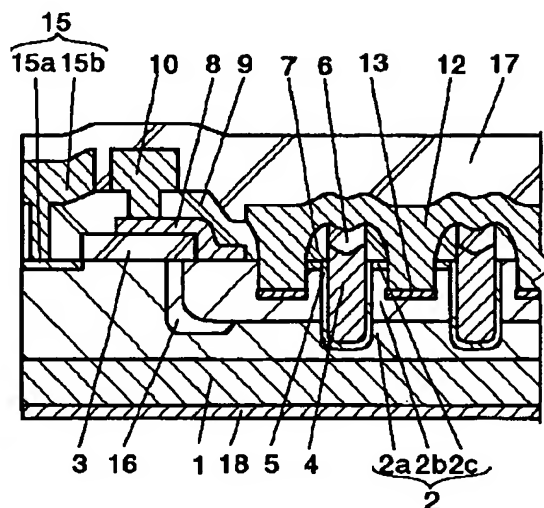
(54)【発明の名称】 絶縁ゲート型半導体装置及びその製造方法

(57) 【要約】

【課題】 トレンチゲートの単位セル面積の縮小及び耐圧の向上を可能にする。

【解決手段】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置であって、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーの一部が前記半導体基板主面に突出し、ゲートビラーの前記突出した部分の側壁に側壁スペーサを有し、この側壁スペーサにより規定された半導体基板主面のコンタクト領域に前記ソース用導体層が接続されている。この構成によって、ソースコンタクトを側壁スペーサを用いたセルフアラインによって形成することができるので、マスク合わせのマージンが不用となり単位セルの占有面積を縮小することができる。

图 4



## 【特許請求の範囲】

【請求項1】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置であって、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーの一部が前記半導体基板主面に突出し、ゲートビラーの前記突出した部分の側壁に側壁スペーサを有し、この側壁スペーサにより規定された半導体基板主面のコンタクト領域に前記ソース用導体層が接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項2】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置であって、前記ゲート用導体層の一部が前記半導体基板主面に突出し、前記突出した導体層及びゲート用導体層の上面を覆うキャップ絶縁膜の側壁に側壁スペーサが設けられ、この側壁スペーサにより規定されたソースコンタクト孔に前記ソース用導体層が形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項3】 前記ゲート用導体層は不純物を含む多結晶シリコンからなり、前記ソース用電極はアルミニウムを主成分とした金属よりなることを特徴とする請求項1又は請求項2に記載の絶縁ゲート型半導体装置。

【請求項4】 半導体基板内に選択的に形成された第1の半導体領域と、前記第1の半導体領域内に選択的に形成された第2の半導体領域と、前記第2の半導体領域主面から前記半導体基板に達する溝と、前記溝内に絶縁膜を介して形成された導体層とを有し、前記導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーが前記第2の半導体領域主面上に延びた柱を有し、前記ゲートビラーの柱の側壁には側壁スペーサが設けられ、前記側壁スペーサに規定されたコンタクト領域にて前記第2の半導体領域に電極が接続され、前記半導体半導体基板をドレイン、前記導体層をゲート、前記第2の半導体領域をソースとしたことを特徴とする絶縁ゲート型半導体装置。

【請求項5】 半導体基板内に選択的に形成された第1の半導体領域と、前記第1の半導体領域内に選択的に形成された第2の半導体領域と、前記第2の半導体領域主面から前記半導体基板に到達する溝と、前記溝内に絶縁膜を介して形成された導体層とを有し、前記導体層の一部は前記第2の半導体領域主面上に延びた柱を有し、前記導体層の柱及び前記導体層の上面を覆うキャップ絶縁膜の側壁には側壁スペーサが設けられ、前記側壁スペーサに規定されたコンタクト領域に形成されたコンタクト孔にて前記第2の半導体領域に電極が接続され、前記半導体基板をドレイン、前記導体層をゲート、前記第2の半導体領域をソースとしたことを特徴とする絶縁ゲート型半導体装置。

【請求項6】 前記ゲートとなる導体層が多結晶シリコ

ンであり、前記絶縁膜が熱酸化膜であることを特徴とする請求項4又は請求項5に記載の絶縁ゲート型半導体装置。

【請求項7】 第1導電型の半導体本体と、前記半導体本体の一主面内に所定深さに形成された、前記第1導電型とは反対の導電型を示す第2導電型の第1の半導体領域と、前記第1の半導体領域内に所定深さに形成された第1導電型の第2の半導体領域と、前記第1の半導体領域を貫いて、前記第2の半導体領域主面から前記半導体本体に達する第1の溝と、前記第1の溝内に絶縁膜を介して埋め込まれるゲート用導体層及びこの導体層の上面を覆うキャップ絶縁膜からなり、一部が前記第2の半導体領域の主面よりも突出する柱部を有するビラーゲートと、前記ビラーゲート柱部の側壁に設けられた側壁スペーサと、前記側壁スペーサ間の領域で前記第2の半導体領域へ電氣的に接続された第1の電極とからなることを特徴とする絶縁ゲート型半導体装置。

【請求項8】 第1導電型の半導体本体と、前記半導体本体の一主面内に所定深さに形成された、前記第1導電型とは反対の導電型を示す第2導電型の第1の半導体領域と、前記第1の半導体領域内に所定深さに形成された第1導電型の第2の半導体領域と、前記第1の半導体領域を貫いて、前記第2の半導体領域主面から前記半導体本体に達する複数の第1の溝と、前記それぞれの第1の溝内に絶縁膜を介して埋め込まれ、一部が前記第2の半導体領域の主面よりも突出する柱部を有するゲート用導体層と、前記柱部及びその上面を覆うキャップ絶縁膜の側壁にそれぞれ設けられた側壁スペーサと、隣り合う前記側壁スペーサ間に、前記第2の半導体領域主面から前記第1の半導体領域に到達して形成され、前記第1の溝よりも浅い複数の第2の溝と、前記それぞれの第2の溝内に埋め込まれて前記第1、第2の半導体領域に電氣的に接続され、前記ゲート用導体層上において共通接続された第1の電極とからなることを特徴とする絶縁ゲート型半導体装置。

【請求項9】 前記ゲート用導体層は不純物を含む多結晶シリコン、前記第1の電極はアルミニウムを主成分とした金属材料、前記第2の電極は前記第1の電極とは異なる金属材料からそれぞれなることを特徴とする請求項7又は請求項8に記載の絶縁ゲート型半導体装置。

【請求項10】 前記半導体本体の一主面とは反対に位置した他の主面に第2の電極が形成され、この第2の電極は、ニッケル、チタン、ニッケルおよび銀が順次積層された金属層、或いはチタン、ニッケル、金が順次積層された金属層からなることを特徴とする請求項7又は請求項8に記載の絶縁ゲート型半導体装置。

【請求項11】 前記第1の電極はソース電極であり、前記第2の電極はドレイン電極であることを特徴とする請求項10に記載の絶縁ゲート型半導体装置。

【請求項12】 前記第1の溝は、前記第1の半導体領

域側面が(100)面またはそれに等価な面をなすようにストライプ状に形成され、前記ゲート用導体層の電界により前記(100)面またはそれに等価な面に沿ってキャリア移動が行われることを特徴とする請求項7又は請求項8に記載の絶縁ゲート型半導体装置。

【請求項13】 前記半導体本体の主面の一部にフィールド絶縁膜が設けられ、前記フィールド絶縁膜の一部上に前記ゲート用導体層の延長部が設けられ、前記延長部に前記第1の電極と同一材料よりなる第2の電極が接続されていることを特徴とする請求項7又は請求項8に記載の絶縁ゲート型半導体装置。

【請求項14】 前記フィールド絶縁膜の他部上に、前記第1の電極と前記第3の電極との間に電氣的に接続されたバック・トゥ・バック保護素子が設けられていることを特徴とする請求項13に記載の絶縁ゲート型半導体装置。

【請求項15】 第1導電型を示す半導体本体と、前記半導体本体内に形成された第2導電型を示す第1の半導体領域と、前記第1の半導体領域内に形成された第1導電型を示す第2の半導体領域と、前記第2の半導体領域の主面から前記半導体本体の領域に達するトレンチゲートを有する縦構造の絶縁ゲート型半導体装置であって、前記トレンチゲート及びその上面を覆う絶縁膜からなるゲートビラーの一部は前記第2の半導体領域主面を越えて突出し、前記突出したゲートビラーの側壁に側壁スペースが設けられ、前記側壁スペースにより規定されたコンタクト領域に前記第2の半導体領域に接続されたソース電極が設けられていることを特徴とする絶縁ゲート型半導体装置。

【請求項16】 第1導電型を示す半導体本体と、前記半導体本体内に形成された第2導電型を示す第1の半導体領域と、前記第1の半導体領域内に形成された第1導電型を示す第2の半導体領域と、前記第2の半導体領域の主面から前記半導体本体の領域に達するトレンチゲートを有する縦構造の絶縁ゲート型半導体装置であって、前記トレンチゲートの一部は前記第2の半導体領域主面を越えて突出し、前記突出したトレンチゲート及びトレンチゲートの上面を覆う絶縁膜の側壁に側壁スペースが設けられ、前記側壁スペースにより規定されたコンタクト孔に前記第2の半導体領域に接続されたソース電極が設けられていることを特徴とする絶縁ゲート型半導体装置。

【請求項17】 前記側壁スペースは前記トレンチゲートの突出部の表面に形成された熱酸化膜を介して形成されていることを特徴とする請求項15又は請求項16に記載の絶縁ゲート型半導体装置。

【請求項18】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置の製造方法であって、前記半導体基板内に第1の半導体領域を形成する工

程と、前記半導体基板に前記第1の半導体形成領域を貫いて溝を形成する工程と、前記溝内において露出する前記第1の半導体領域表面にゲート絶縁膜を形成する工程と、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーによって前記ゲート絶縁膜が形成された溝を埋め込み、前記ゲートビラーの一部を前記半導体基板主面から突出させて形成する工程と、前記溝により区画された前記第1の半導体領域内に第2の半導体領域を形成する工程と、前記突出した導体層及びこの導体層の上面を覆う絶縁膜の側壁に側壁スペースを形成する工程と、前記側壁スペースにより規定されたソースコンタクト領域に前記ソース用導体層を形成する工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項19】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置の製造方法であって、前記半導体基板内に第1の半導体領域を形成する工程と、前記半導体基板に前記第1の半導体形成領域を貫いて複数の溝を形成する工程と、前記それぞれの溝内において露出する前記第1の半導体領域表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜が形成されたそれぞれの溝を埋め込み、その一部が前記半導体基板主面に突出する前記ゲート用導体層を形成する工程と、前記溝により区画された前記第1の半導体領域内に第2の半導体領域を形成する工程と、前記突出した導体層及びこの導体層の上面を覆う絶縁膜の側壁に側壁スペースを形成する工程と、前記側壁スペースにより規定されたソースコンタクト領域にコンタクト孔を形成する工程と、前記コンタクト孔に前記ソース用導体層を形成する工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項20】 半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置の製造方法であって、前記半導体基板内に第1の半導体領域を形成する工程と、前記半導体基板に前記第1の半導体形成領域を貫いて溝を形成する工程と、前記溝内において露出する前記第1の半導体領域表面にゲート絶縁膜を形成する工程と、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーによって前記ゲート絶縁膜が形成された溝を埋め込み、前記ゲートビラーの一部を前記半導体基板主面から突出させて形成する工程と、前記溝により区画された前記第1の半導体領域内に第2の半導体領域を形成する工程と、前記突出した導体層及びこの導体層の上面を覆う絶縁膜の側壁に側壁スペースを形成する工程と、前記側壁スペースをマスクとして前記第2の半導体領域にコンタクト孔を形成する工程と、前記コンタクト孔形成後に、エッチングバックによって側壁スペースを後退させ前記第2の半導体領域の半導体基板

表面を露出させる工程と、前記第2の半導体領域の半導体基板表面露出部分及びコンタクト孔内に前記ソース用導体層を形成する工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項21】 前記キャップ絶縁膜が側壁スペーサ形成時のエッチングストッパとなっていることを特徴とする請求項18乃至請求項20の何れか一項に記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、トレンチゲート構造の半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電力増幅回路、電源回路、コンバータ或いは電源保護回路等にはパワートランジスタが用いられているが、これらのパワートランジスタには大電力を扱うために高耐圧化及び大電流化が要求されるが、MISFET (Metal Insulator Semiconductor Field Effect Transistor) の場合には、大電流化を達成する方法として、チャネル幅を増大させることによって対処している。

【0003】そして、このようなチャネル幅の増大を行なうことによってチップ面積が増大するのを回避するために、例えばメッシュゲート構造が用いられている。メッシュゲート構造では、ゲートを平面的に格子状に配置して単位チップ面積当りのチャネル幅を増加させている。メッシュゲート構造のFETについては例えばオーム社刊「半導体ハンドブック」第429頁乃至第430頁に記載されている。

【0004】従来、このようなパワーFETには、工程が簡単でありゲート絶縁膜となる酸化膜の形成が容易なことからプレーナ構造のものが用いられてきた。しかしながら、プレーナFETでは低手以降化のためにセルサイズを小さくすると、隣接するセルの空乏層がぶつかり、電流が流れなくなってしまう。このため微細化を図っても抵抗は下がらない。これをJFET効果といい、これゆえにプレーナFETでは微細化による低抵抗化には限界があった。

【0005】このため、更にセルの集積度を向上させることが可能であり、加えてオン抵抗を低減させることができる等の理由からJFET効果のないトレンチゲート構造のFETが考えられた。トレンチゲート構造とは、半導体基板主面に延設した溝に絶縁膜を介してゲートとなる導体層を設け、前記主面の深層部をドレイン領域とし、前記主面の表層部をソース領域とし、前記ドレイン領域及びソース領域間の半導体層をチャネル形成領域とするものである。この種のトレンチゲート構造のMISFETは、例えば特開平8-23092号公報に開示されている。

【0006】また、本発明者等は、トレンチゲート構造のゲート導体層上面を半導体基板主面より高く形成してソースオフセットを防止する技術を発明し、この技術は特開平12-277531号公報に開示されている。また、プレーナ構造のFETに関して基板上のゲート電極に形成した側壁スペーサを用いて加工限界を越えた微細なトレンチを作成する技術が特開平9-246550号公報に開示されている。

【0007】

10 【発明が解決しようとする課題】こうした従来の半導体装置では、ホトリソグラフィによって形成したレジストマスクを用いたエッチングによって絶縁膜を開口してソース領域とのコンタクト領域を露出させていた。このため、コンタクト領域形成のために、寸法誤差・マスク合わせ誤差等を見込んだマスク合わせのマージンが必要となり、このマージンによってFET単位セルの占有面積が律則されることが多かった。単位セル面積の縮小によるオン抵抗を低減に限界があった。

20 【0008】またソース領域とソース電極との接続では、ベース電位を一定とするためにチャネル形成領域に設けたコンタクト層にもソース電極をコンタクト孔によって電気的に接続するボディコンタクトが行われる場合に、前記コンタクト孔の位置がずれると、ソース電極の周囲に位置するトレンチゲートとソース電極との距離が均一にならない。このため、距離の大きな部分ではエミッタ・ベース間の抵抗が大きくなってフィードバック量が大きくなり、バイポーラトランジスタ作用が起こりやすくなる。こうした寄生バイポーラトランジスタによってアバランシェ耐量の低下が生じていた。

30 【0009】本発明の課題は、これらの問題点を解決し、半導体チップ面積の縮小を進めることが可能な技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

40 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置であって、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーの一部が前記半導体基板主面に突出し、ゲートビラーの前記突出した部分の側壁に側壁スペーサを有し、この側壁スペーサにより規定された半導体基板主面のコンタクト領域に前記ソース用導体層が接続されている。

50 【0011】また、半導体基板内に選択的に形成された第1の半導体領域と、前記第1の半導体領域内に選択的に形成された第2の半導体領域と、前記第2の半導体領域主面から前記半導体基板に達する溝と、前記溝内に絶

縁膜を介して形成された導体層とを有し、前記導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーが前記第2の半導体領域主面上に延びた柱を有し、前記ゲートビラーの柱の側壁には側壁スペーサが設けられ、前記側壁スペーサに規定されたコンタクト領域にて前記第2の半導体領域に電極が接続され、前記半導体半導体基板をドレイン、前記導体層をゲート、前記第2の半導体領域をソースとした。

【0012】また、第1導電型の半導体本体と、前記半導体本体の一面内に所定深さに形成された、前記第1導電型とは反対の導電型を示す第2導電型の第1の半導体領域と、前記第1の半導体領域内に所定深さに形成された第1導電型の第2の半導体領域と、前記第1の半導体領域を貫いて、前記第2の半導体領域主面から前記半導体本体に達する第1の溝と、前記第1の溝内に絶縁膜を介して埋め込まれるゲート用導体層及びこの導体層の上面を覆うキャップ絶縁膜からなり、一部が前記第2の半導体領域の主面よりも突出する柱部を有するビラーゲートと、前記ビラーゲート柱部の側壁に設けられた側壁スペーサと、前記側壁スペーサ間の領域で前記第2の半導体領域へ電気的に接続された第1の電極とからなる。

【0013】また、第1導電型を示す半導体本体と、前記半導体本体内に形成された第2導電型を示す第1の半導体領域と、前記第1の半導体領域内に形成された第1導電型を示す第2の半導体領域と、前記第2の半導体領域の主面から前記半導体本体の領域に達するトレンチゲートを有する縦構造の絶縁ゲート型半導体装置であって、前記トレンチゲート及びその上面を覆う絶縁膜からなるゲートビラーの一部は前記第2の半導体領域主面を越えて突出し、前記突出したゲートビラーの側壁に側壁

スペーサが設けられ、前記側壁スペーサにより規定されたコンタクト領域に前記第2の半導体領域に接続されたソース電極が設けられている。

【0014】また、半導体基板に設けられた溝内にゲート用導体層が埋め込まれ、前記主面上にソース用導体層が設けられた絶縁ゲート型半導体装置の製造方法であって、前記半導体基板内に第1の半導体領域を形成する工程と、前記半導体基板に前記第1の半導体形成領域を貫いて溝を形成する工程と、前記溝内において露出する前記第1の半導体領域表面にゲート絶縁膜を形成する工程と、前記ゲート用導体層及びその上面を覆うキャップ絶縁膜からなるゲートビラーによって前記ゲート絶縁膜が形成された溝を埋め込み、前記ゲートビラーの一部を前記半導体基板主面から突出させて形成する工程と、前記溝により区画された前記第1の半導体領域内に第2の半導体領域を形成する工程と、前記突出した導体層及びこの導体層の上面を覆う絶縁膜の側壁に側壁スペーサを形成する工程と、前記側壁スペーサにより規定されたソースコンタクト領域に前記ソース用導体層を形成する工程とを有する。

【0015】上述した本発明によれば、半導体基板主面から突出しているゲートビラーの側面に形成した側壁スペーサをマスクとして用いたセルフアラインによってソースコンタクト領域或いはソースコンタクト孔を形成しているので、マスク合わせのマージンが不用となり単位セルの占有面積を縮小することができる。このため、半導体チップのサイズ縮小或いはオン抵抗の低減が可能になる。

【0016】また、トレンチの側面とコンタクト或いはボディコンタクトとの距離を十分に小さくできるので、寄生バイポーラトランジスタによるアバランシェ耐量の低下を防止することができる。このため、安定したアバランシェ耐量の確保が可能となり、通常の中低耐圧製品の耐圧を向上させて、従来は別製品としていた車載用のパワートランジスタを同一チップとすることができる。これによって、車載用のパワートランジスタの開発TATが短縮され早期の製品投入及び開発コストの低減が可能になる。

【0017】また、ゲート電極の上面を覆うキャップ絶縁膜はCVD等による堆積膜を用いることによって任意の膜厚に形成することができ、ゲート電極及びキャップ絶縁膜の側面を覆う側壁スペーサの幅はエッチングバックする酸化珪素膜等の膜厚によって任意の幅に形成することができる。ゲートビラーの側面に側壁スペーサを形成することによって半長円形状に絶縁膜を形成しゲート電極の端部とゲート電極周囲のソース電極との間隔を均一化することができる。加えて、キャップ絶縁膜と側壁スペーサとが段差の形成されない連続した面によって一体化されるため、熱応力等の影響を低減することが可能となる。

【0018】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 【0019】

【発明の実施の形態】（実施の形態1）図1は、本発明の一実施の形態の半導体装置であるトレンチゲート構造の縦型パワーMISFETを示す平面図であり、図2は、このパワーMISFETを示す等価回路図である。図3は、図1中a部を拡大して示す要部平面図であり、図4は、図3中のa-a線に沿った縦断面図、図5は、図3中のb-b線に沿った縦断面図、図6は、図3中のc-c線に沿った縦断面図である。

【0020】本実施の形態のMISFETは、例えば単結晶珪素からなるn+型半導体基体1に、例えばエピタキシャル成長によってエピタキシャル層2を形成した半導体基板に形成される。このMISFETは、半導体基板の外周に沿って矩形環状に設けられたプレート状のフィールド絶縁膜3（図3中にも二重斜線を付す）によって囲まれた領域内に形成され、角部内側に矩形部分を

有している。

【0021】前記領域内には、平面形状が長方形状となっているトレンチゲート構造のセルを規則的に複数配置し、各ゲートを平面的に格子状に配置して各セルを並列接続したメッシュゲート構造で構成される。

【0022】各セルでは、半導体基板1上に形成されたn型の第1半導体層2aがドレイン領域となり、第1半導体層2a上に形成されたp型の第2半導体層2bがチャネルの形成されるベース領域となり、第2半導体層2b上に形成されたn+型の第3半導体層2cがソース領域となる縦型FETとなっている。

【0023】ゲート導体層4は、半導体基板主面からドレイン領域となるn型第1半導体層2aに達する溝にゲート絶縁膜5を介して形成される。ゲート導体層4としては、例えば不純物が導入された多結晶珪素を用い、ゲート絶縁膜5としては、例えば、27nm程度の熱酸化膜と、50nm程度の堆積膜とを順次形成した多層膜で構成されている。セルの形状を長方形とし、各半導体層2a、2b、2cの側面が(100)面またはそれに等価な面でストライプ状或いはメッシュ状に形成することによって、ゲート導体層4の電界により前記(100)面またはそれに等価な面に沿ってキャリア移動が行われるのでモビリティが向上する。

【0024】本実施の形態のゲート導体層4の上面はキャップ絶縁膜6によって覆われており、ゲート導体層4及びキャップ絶縁膜6からなるゲートピラーが、ソース領域となる第3半導体層2cの表面即ち半導体基板主面よりも高く形成され、ゲートピラーの半導体基板主面から突出した部分の側壁に側壁スペーサ7が形成されている。この構成ではゲート導体層4の一部が半導体基板主面よりも高く形成されている場合には、ソース領域がシャロー化しても、ゲート導体層4がソース領域からはずれるソースオフセットを防止することができるが、キャップ絶縁膜6のみが突出する構成であってもよい。この構成については、後に図21を参照して説明する。

【0025】図3に示すように、隣接するセルのゲート導体層4は互いに接続されており、外周に位置するセルの各ゲート導体層4は半導体チップの外周部近傍にて、例えば多結晶珪素を用いたゲート配線8と接続されている。

【0026】ゲート配線8は、層間絶縁膜9を介して上層に形成され、例えばシリコンを含有させたアルミニウムを用いたゲートガードリング10(図3中では破線で部分的に示す)と電気的に接続されている。ゲートガードリング10は、フィールド絶縁膜3の角部矩形部分に設けられた矩形形状のゲート電極11(図3中では破線で部分的に示す)と一体に形成され、ゲート電極11にゲート導体層4の接続領域(図1中破線で示す)が設けられている。

【0027】ソースとなる第3半導体層2cには、例え

ばシリコンを含有させたアルミニウムを用いたソース用導体層12(図3中では破線で部分的に示す)が電気的に接続されており、ソース用導体層12は、側壁スペーサ7によって規定された第3半導体層2cのコンタクト領域(図1中破線で示す)に接続されており、このソース用導体層12は、ソースとなる第3半導体層2cの他に、ベース電位を一定とするために、第2半導体層2bに設けられたp+型のコンタクト層13にも電気的に接続されている。

【0028】また、図2、図3或いは図6に示されているように、ゲート電極11とソース用導体層12との間には、ソースからのサージに対して、ゲート絶縁膜5の破壊を防止するバック・トゥ・バック構成の保護ダイオード14が設けられている。図6は保護ダイオード14を拡大して示す縦断面図であり、保護ダイオード14はn+型半導体領域14aとp型半導体領域14bとが交互に同心環状に形成されており、両端のn+型半導体領域14aに夫々ゲート電極11及びソース用導体層12が電気的に接続されている。

【0029】また、フィールド絶縁膜3の外周には半導体基板主面に設けたn+型の半導体領域15aに、例えばシリコンを含有させたアルミニウムを用いた配線15b(図3中では破線で部分的に示す)を接続したソースガードリング15が設けられており、ソースガードリング15の配線15bも、ソース用導体層12と同様に、保護ダイオード14のn+型半導体領域14aに接続されている。

【0030】なお、ゲート配線6及びゲートガードリング10は、矩形環状に設けられたフィールド絶縁膜3上に設けられ、ゲート電極11及び保護ダイオード14は、フィールド絶縁膜3の角部に設けた矩形部分上に設けられている。

【0031】また、矩形環状のフィールド絶縁膜3に沿って、その下部にはp型ウエル16が形成されており、このp型ウエル16にゲート絶縁膜5を介してゲート導体層4の終端部を接続することによって、フィールド絶縁膜3下の空乏層をなだらかに伸ばして空乏層の不連続を防止することができるので、ゲート導体層4終端部の電界を緩和する電界緩和部としてp型ウエル16が機能する。

【0032】半導体基板主面の全面には、ゲートガードリング8、ゲート電極9、ソース用導体層12、ソースガードリング15を覆い、例えば、テトラエトキシシラン(TEOS)ガスをソースガスの主体とするプラズマCVD法による酸化珪素膜及びポリイミドを用いた保護絶縁膜17が形成され、この保護絶縁膜17に、ゲート電極9及びソース用導体層12を部分的に露出させる開口を設け、この開口によって露出するゲート電極9及びソース用導体層12が、ゲート及びソースの接続領域となり、この接続領域にワイヤボンディング等により電気



的な接続が行なわれる。

【0033】ドレインの接続領域としては、半導体基板裏面の全面に、 $n^+$ 型半導体基板1と導通するドレイン電極18が、例えばニッケル、チタン、ニッケル及び銀が順次積層された金層、或いはチタン、ニッケル及び金が順次積層された積層膜として形成され、このドレイン電極18の銀又は金を用いた表面を例えば導電性の接着材によってリードフレームに接続することによって電気的な接続が行なわれる。

【0034】続いて、前述した半導体装置の製造方法について図7乃至図16を用いて説明する。まず、例えばヒ素(As)が導入された単結晶珪素からなる $n^+$ 型半導体基体1上に、エピタキシャル成長によって半導体基体1よりも低濃度の $n$ -型のエピタキシャル層2を5 $\mu$ m程度形成する。これによって、半導体基体1及びエピタキシャル層2で構成された半導体基板を用意する。次に、この半導体基板の主面に600nm程度の酸化珪素膜を、例えば熱酸化法で形成し、この酸化珪素膜上にホトリソグラフィによってマスクを形成し、このマスクを用いたエッチングによって、半導体基板の外周に沿って矩形環状に、角部内側に矩形部分を有するプレート状のフィールド絶縁膜3を形成する。この後、このフィールド絶縁膜3の内周に沿ってホトリソグラフィによってマスクを形成し、このマスクを用いた例えばボロン(B)のイオン打込みを行ない、導入した不純物を拡散させて、電界緩和部となる $p$ 型のウエル16を形成しておく。なお、 $p$ 型のウエル16の不純物濃度は、例えば第2半導体層2bと等しい又はそれより低く構成される。

【0035】続いて、半導体基板主面に熱酸化膜40nm、不純物を含まない多結晶シリコン(i-polys i)600nm、酸化珪素膜500nmを積層した比較的厚い絶縁膜19を形成し、フィールド絶縁膜3によって囲まれたセル形成領域内の絶縁膜19に、各ゲートが平面的に格子状に配置されたメッシュゲート構造のゲート導体層4パターンを開口させたレジストマスク20をホトリソグラフィによって形成し、このレジストマスク20を用いたエッチングによって、絶縁膜19に前記パターンの半導体基板主面を露出させる開口を設ける。この状態のゲート導体層部分を拡大して図7に示す。

【0036】次に、開口を設けた絶縁膜19をマスクとして、ドライエッチングによって、半導体基板主面に例えば深さ1.6 $\mu$ m程度の溝T(トレンチ2A)を形成する。この状態を図8に示す。なお、このエッチングでは、まずウェットエッチングによる等方性のエッチングとドライエッチングによって異方性のエッチングとを行うことによって、図9に示すように形成した溝の底面及び縁部の角部を緩和させる。

【0037】次に、27nm程度の熱酸化膜に50nm程度のCVD(Chemical Vapor Deposition)による酸化珪素膜を積層したゲート絶縁膜5を形成し、前記溝内

を含む半導体基板主面全面にゲート導体層4の導電膜となる多結晶珪素膜4'をCVDにより形成する。この多結晶珪素膜4'の形成は2段階に分けて行われる。例えば、第1段階は300nm程度、第2段階は300nm程度の多結晶珪素膜が形成される。しかる後、約950℃、10分間程度のアニール処理を行う。こうした2段階のデポジションにより、溝内は空洞のないゲート導体層が形成される。この多結晶珪素膜4'には抵抗値を低減する不純物(例えばリン)がその堆積中又は堆積後に導入される。不純物濃度は1E18/cm<sup>3</sup>乃至1E21/cm<sup>3</sup>程度とする。この状態を図10に示す。

【0038】続いて、図10に示した多結晶珪素膜4'をエッチバックさせる。多結晶珪素膜4'のエッチバックは、多結晶珪素膜4'の上端が絶縁膜19の開口部内に残る程度に行われる。こうして、前記溝内にゲート導体層4を形成し、全面に酸化珪素膜6'を堆積させる。この状態を図11に示す。

【0039】次に、酸化珪素膜6'をエッチング除去してゲート導体層4の上面を覆うキャップ絶縁膜6を形成する。このエッチングによって絶縁膜19の酸化珪素膜は薄くなっているため、酸化珪素と多結晶シリコンとのエッチング選択比の違いを利用して絶縁膜19の多結晶シリコンを除去し、ゲート導体層4及びキャップ絶縁膜6からなるゲートビラーを半導体基板主面から柱状に突出させ、このゲートビラーをマスクとしてエピタキシャル層2の全面に $p$ 型不純物(例えばボロン)のイオン打込みを行ない、1%O<sub>2</sub>を含む窒素ガス雰囲気(温度1100℃程度)中にて約100分程度の拡散処理(第1の熱処理)を行い、チャネル形成領域となる $p$ 型の第2半導体層2bを形成する。続いて、 $n$ 型不純物(例えばヒ素)を選択的にイオン打込みして、1%O<sub>2</sub>を含む窒素ガス雰囲気(温度950℃程度)中にて約30分程度のアニール処理(第2の熱処理)を行ない、ソース領域となる第3半導体層2cを形成する。そして、これらの不純物導入が行なわれないエピタキシャル層2の深部、具体的には第2半導体層2bと半導体基体1との間に位置するエピタキシャル層2が、ドレイン領域として機能する第1半導体層2aとなる。この状態を図12に示す。

【0040】次に、酸化珪素膜を全面に堆積させエッチング除去し前記ゲートビラーの側面に側壁スペーサ7を形成する。この状態を図13に示す。次に、側壁スペーサ7をマスクとしたエッチングによってコンタクト孔を形成し、コンタクト孔によって露出した第2半導体層2bに直接ボロン等の $p$ 型不純物を導入し $p$ 型のコンタクト層13を形成する。この状態を図14に示す。

【0041】また、コンタクト孔形成後に、図15に示すように側壁スペーサ7の酸化珪素を半導体基板主面の珪素に対して選択的に除去するエッチングを行ない、側壁スペーサ7を後退させ、コンタクト孔に対して自己整

合で第3半導体層2c表面を露出させる構成として、第3半導体層2cとソース用導体層12との接触面積を拡大させて、接続抵抗を低減することも可能である。

【0042】次に、コンタクト孔内を含む半導体基板主面上の全面に例えばシリコンを含むアルミニウムからなる導電膜(金属膜)を形成し、この金属膜をパターニングして、ゲートガードリング10、ゲート電極11、ソース用導体層12、ソースガードリング15を形成する。この状態を図16に示す。

【0043】次に、例えばソースガスの主体としてテトラエトキシシラン(TEOS)ガスを用いたプラズマCVDによる酸化珪素膜にポリイミドを塗布積層し、半導体基板主面の全面を覆う保護絶縁膜17を形成し、この保護絶縁膜17にゲート電極11及びソース用導体層12の前記接続領域を露出させる開口を形成し、n+型半導体基体1の裏面に研磨処理を施し、この裏面に例えば蒸着によりドレイン電極18を形成して、図4に示す状態となる。

【0044】(実施の形態2)本実施の形態は、前記実施の形態とはキャップ絶縁膜6の形成方法が異なっている他は略同様の構成となっている。以下、本実施の形態の半導体装置の製造方法について図7乃至図10及び図17乃至図20を用いて説明する。先ず、図7に示すように、半導体基板主面に酸化珪素膜900nmの比較的厚い絶縁膜19を形成し、フィールド絶縁膜3によって囲まれたセル形成領域内の絶縁膜19に、各ゲートが平面的に格子状に配置されたメッシュゲート構造のゲート導体層4パターンを開口させたレジストマスク20をホトリソグラフィによって形成し、このレジストマスク20を用いたエッチングによって、絶縁膜19に前記パターンの半導体基板主面を露出させる開口を設ける。そして、前述した実施の形態と同様に図8及び図9に示すように、この絶縁膜19をマスクとして、ドライエッチングによって、半導体基板主面に例えば深さ1.6μm程度の溝2Aを形成する。続いて、溝内表面に27nm程度の熱酸化膜に50nm程度のCVD(Chemical Vapor Deposition)による酸化珪素膜を積層したゲート絶縁膜5を形成し、図10に示すように、前記溝内を含む半導体基板主面全面に多結晶珪素膜4'を堆積させる。そして、この多結晶珪素膜4'をエッチング除去して、前記溝内にゲート導体層4を形成し、この多結晶珪素膜4'をエッチバックすることにより前記溝内にゲート導体層4を形成し、このゲート導体層4の上面に熱酸化による酸化珪素膜6aを形成する。この状態を図17に示す。

【0045】次に、酸化珪素膜6aの上面を含む全面に窒化珪素膜6bを50nm程度堆積させ、更に窒化珪素膜6b上に堆積させた酸化珪素膜6cをエッチング除去して酸化珪素膜6cを溝内に埋め込む。この後、全面に堆積させたノンドープの多結晶シリコン膜6dをエッチ

ング除去して多結晶シリコン膜6dを溝内に埋め込む。この状態を図18に示す。

【0046】次に、窒化珪素膜6b及び多結晶シリコン膜6dとのエッチング選択比を利用して、絶縁膜19を選択的に除去し、ゲート導体層4及びキャップ絶縁膜6からなるゲートビラーを半導体基板主面から柱状に突出させ、このゲートビラーをマスクとしてエピタキシャル層2の全面にp型不純物(例えばボロン)のイオン打込みを行ない、1%O<sub>2</sub>を含む窒素ガス雰囲気(温度1100℃程度)中にて約100分程度の拡散処理(第1の熱処理)を行い、チャネル形成領域となるp型の第2半導体層2bを形成する。続いて、n型不純物(例えばヒ素)を選択的にイオン打込みして、1%O<sub>2</sub>を含む窒素ガス雰囲気(温度950℃程度)中にて約30分程度のアニール処理(第2の熱処理)を行ない、チャネル形成領域となるp型の第2半導体層2bを形成する。続いて、n型不純物(例えばヒ素)を選択的にイオン打込みして、950℃程度の1%O<sub>2</sub>を含む窒素ガス雰囲気中にて約30分程度のアニール処理(第2の熱処理)を行ない、ソース領域となる第3半導体層2cを形成する。そして、これらの不純物導入が行なわれないエピタキシャル層2の深部、具体的には第2半導体層2bと半導体基体1との間に位置するエピタキシャル層2が、ドレイン領域として機能する第1半導体層2aとなる。この状態を図19に示す。

【0047】この後、酸化珪素膜を全面に堆積させエッチング除去し前記ゲートビラーの側面に側壁スペーサ7を形成して図20に示す状態となり、以降の工程は前述した実施の形態と同様となる。本実施の形態によれば、エッチングストップとなる窒化珪素膜6bが薄いので、裏面に形成されてしまう窒化珪素膜を薄くすることができるので、裏面応力が緩和されるという効果がある。

【0048】(実施の形態3)図21は実施の形態1におけるゲートビラー構造の変形例を示す縦断面図である。このゲートビラー構造では、ゲート導体層4の上端が半導体基板主面よりも低くなっているが、キャップ絶縁膜6の一部が半導体基板主面よりも高く形成されている。この構成以外のは実施の形態1に示された構成と同様である。

【0049】本実施の形態の構成によれば、キャップ絶縁膜6を厚くすることにより、ゲート-ソース間の絶縁性を十分に確保することができる。なお、この構成ではゲート絶縁膜5に接するゲート導体層4がソース領域2cに対してオフセット状態にならないように注意する必要がある。

【0050】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば本発明は、パワーMISFET以外



にも、IGBT (Integrated GateBipolar Transistor) 等にも適用が可能である。

#### 【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、ソースコンタクトを側壁スペーサを用いたセルフアラインによって形成することができるという効果がある。

(2) 本発明によれば、上記効果(1)により、マスク合わせのマージンが不用となり単位セルの占有面積を縮小することができるという効果がある。

(3) 本発明によれば、上記効果(2)により、半導体チップのサイズ縮小或いはオン抵抗の低減が可能になるという効果がある。

(4) 本発明によれば、上記効果(1)により、トレンチの側面とコンタクト或いはボディコンタクトとの距離を十分に小さくすることができるという効果がある。

(5) 本発明によれば、上記効果(4)により、寄生バイポーラトランジスタによるアバランシェ耐量の低下を防止することができるという効果がある。

(6) 本発明によれば、ゲートビラーの側面に側壁スペーサを形成することによって半長円形状に絶縁膜を形成しゲート電極の端部とゲート電極周囲のソース電極との間隔を均一化することができる。加えて、キャップ絶縁膜と側壁スペーサとが段差の形成されない連続した面によって一体化されるため、熱応力等の影響を低減することができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置を示す平面図である。

【図2】本発明の一実施の形態である半導体装置の等価回路図である。

【図3】本発明の一実施の形態である半導体装置の要部を示す部分平面図である。

【図4】図3中のa-a線に沿った縦断面図である。

【図5】図3中のb-b線に沿った縦断面図である。

【図6】図3中のc-c線に沿った縦断面図である。

【図7】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図8】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図9】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図10】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図11】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図12】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図13】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図14】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図15】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図16】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図17】本発明の他の実施の形態である半導体装置の要部を示す縦断面図である。

【図18】本発明の他の実施の形態である半導体装置の要部を示す縦断面図である。

【図19】本発明の他の実施の形態である半導体装置の要部を示す縦断面図である。

【図20】本発明の他の実施の形態である半導体装置の要部を示す部分平面図である。

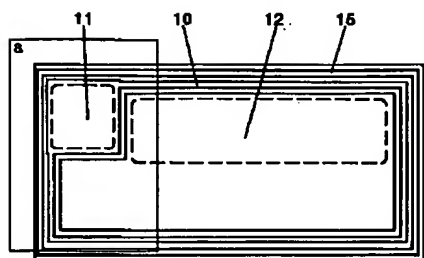
【図21】本発明の更に他の実施の形態である半導体装置の要部を示す縦断面図である。

#### 【符号の説明】

1…半導体基体、2…エピタキシャル層、2a…第1半導体層(ドレイン領域)、2b…第2半導体層(チャネル形成領域)、2c…第3半導体層(ソース領域)、2A…溝(トレンチ)、3…フィールド絶縁膜、4…ゲート導体層、5…ゲート絶縁膜、6…キャップ絶縁膜、7…側壁スペーサ、8…ゲート配線、9…層間絶縁膜、10…ゲートガードリング、11…ゲート電極、12…ソース配線、13…コンタクト層、14…保護ダイオード、15…ソースガードリング、16…ウエル、17…保護絶縁膜、18…ドレイン電極、19…絶縁膜、20…レジストマスク。

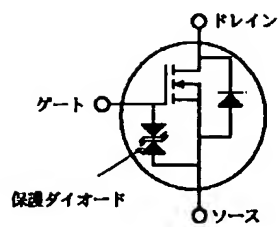
【図1】

図 1



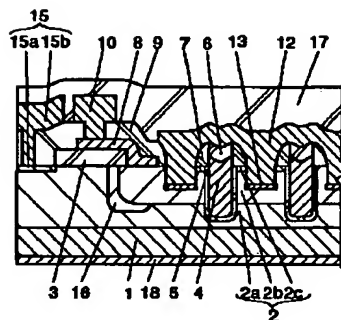
【図2】

図 2



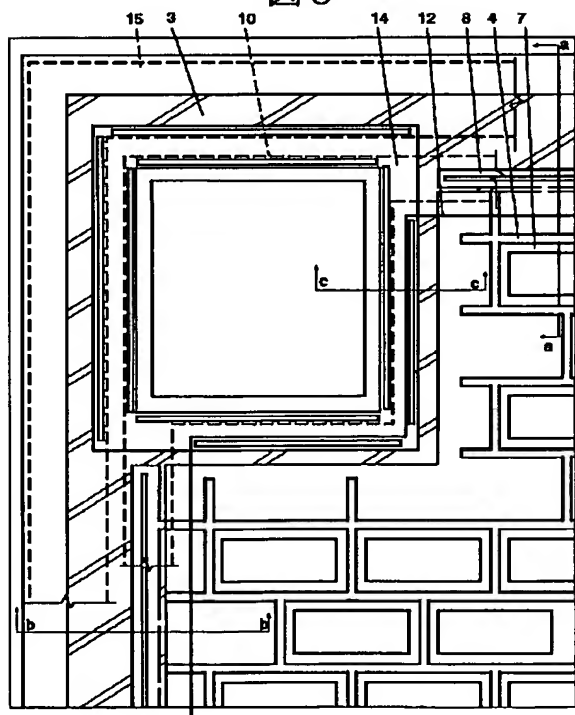
【図4】

図 4



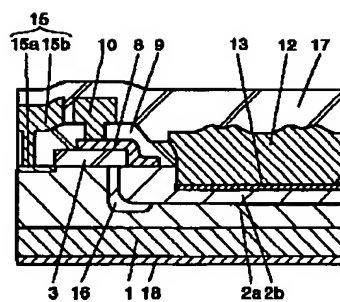
【図3】

図 3



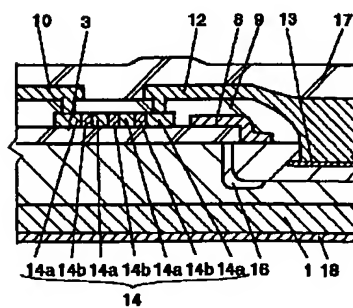
【図5】

図 5



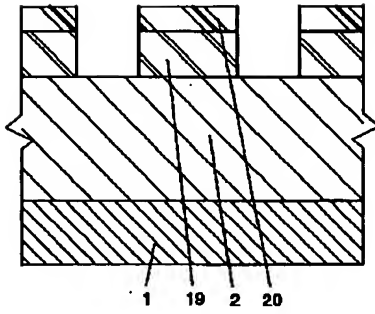
【図6】

図 6



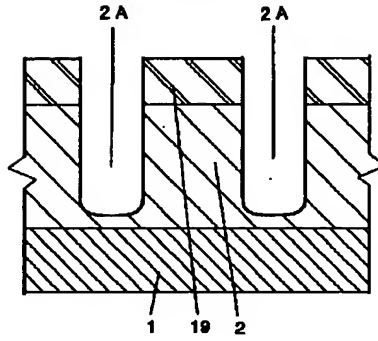
【図7】

図 7



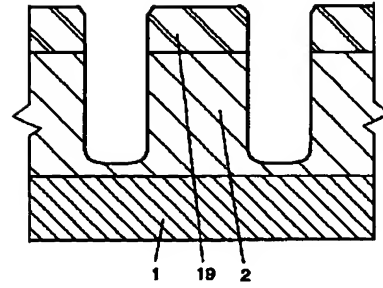
【図8】

図 8



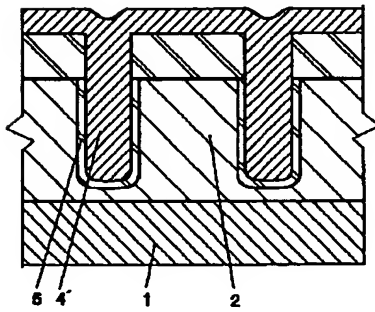
【図9】

図 9



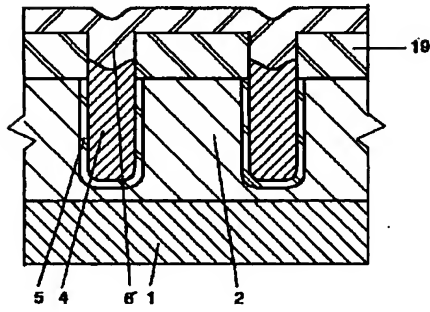
【図10】

図 10



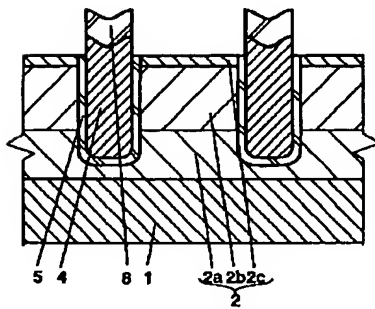
【図11】

図 11



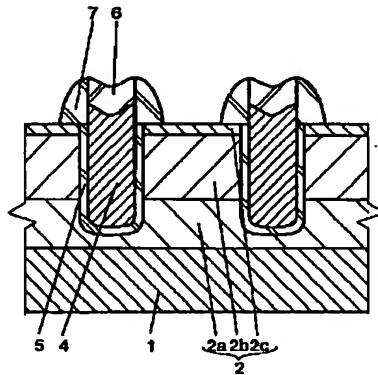
【図12】

図 12



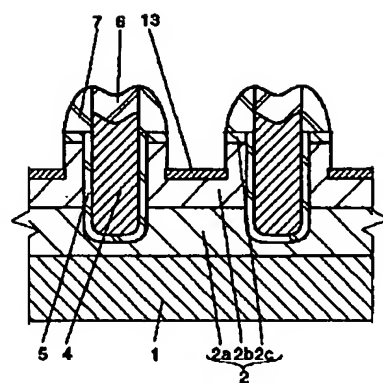
【図13】

図 13



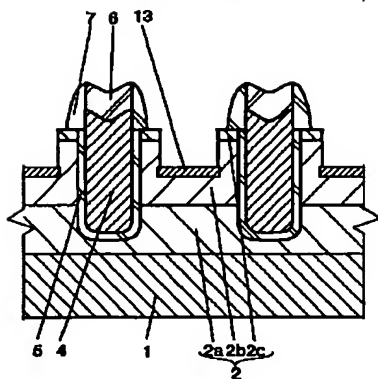
【図14】

図 14



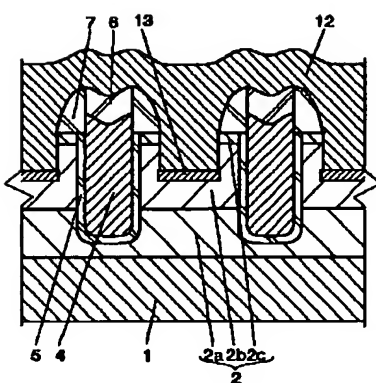
【図15】

図15



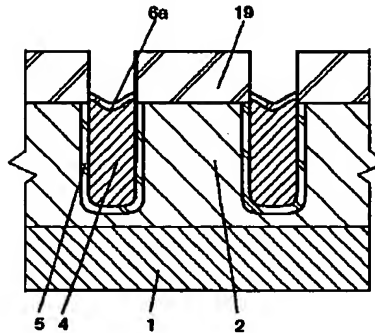
【図16】

図16



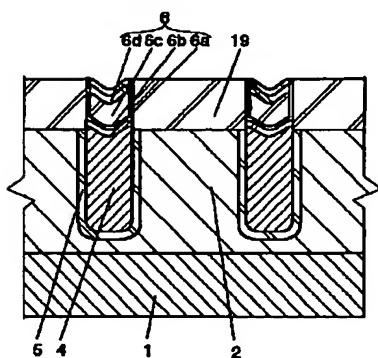
【図17】

図17



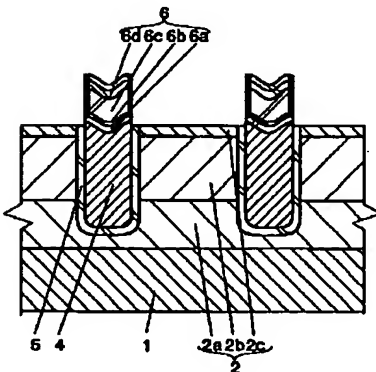
【図18】

図18



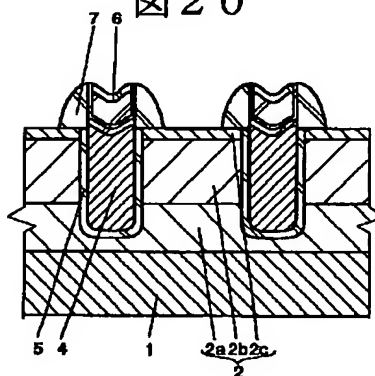
【図19】

図19



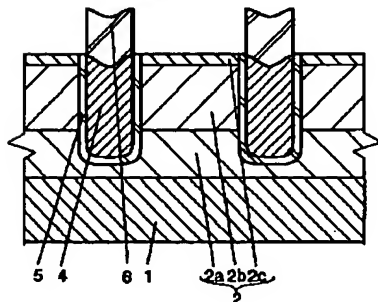
【図20】

図20



【図21】

図21



## 【手続補正書】

【提出日】平成13年3月30日(2001. 3. 30)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】従来、このようなパワーFETには、工程が簡単でありゲート絶縁膜となる酸化膜の形成が容易なことからプレーナ構造のものが用いられてきた。しかしながら、プレーナFETでは低抵抗化のためにセルサイズを小さくすると、隣接するセルの空乏層がぶつかり、電流が流れなくなってしまう。このため微細化を図っても抵抗は下がらない。これをJFET効果といい、これゆえにプレーナFETでは微細化による低抵抗化には限界があった。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【発明が解決しようとする課題】こうした従来の半導体装置では、ホトリソグラフィによって形成したレジストマスクを用いたエッチングによって絶縁膜を開口してソース領域とのコンタクト領域を露出させていた。このため、コンタクト領域形成のために、寸法誤差・マスク合わせ誤差等を見込んだマスク合わせのマーヅンが必要となり、このマーヅンによってFET単位セルの占有面積が律則されることが多かった。単位セル面積の縮小によるオン抵抗の低減には限界があった。

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	FI	テマート' (参考)
H01L 29/78 21/8234 27/06 27/088 21/336	657	H01L 29/78 27/06 27/08 29/78	657B 102A 102F 658F
(72) 発明者 町田 信夫 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内		(72) 発明者 大石 健太郎 群馬県高崎市西横手町1番地1 日立東部 セミコンダクタ株式会社内 Fターム(参考) 5F048 AA02 AA05 AC10 BA02 BA06 BB01 BB06 BB19 BC03 BC12 BD04 BD07 BF02 BF18 BH05 CC07 CC15 DA18 DA25	